

一种基于模式布线的柔性电路板布线规划算法

吴皓莹¹, 徐静雪¹, 徐宁¹, 邹思湛¹, 胡建国^{2,*}

(1. 武汉理工大学 信息工程学院, 武汉 430070; 2. 中山大学 深圳研究院, 深圳 528406)

摘要: 为解决柔性电路板整板自动化布线算法布线效率低、布线效果较差的问题, 提出基于模式布线的柔性电路板布线规划算法, 采用模式布线近似拟合详细布线, 缩小详细布线和布线规划之间的精度误差。同时, 根据人工经验设计 4 种布线模式和若干扇出模式, 模拟扇出区内部资源分配和扇出区间排列组合可能出现的情况。针对层分配问题, 设计了根据当前布线结果以及未来对其他线网的影响综合评价的层分配算法, 针对通道区不允许打孔的约束, 根据通道连接扇出区的位置顺序求得通道内布线线网拓扑不交叉序列, 并作为分割线上过点位置排列顺序约束。最后, 综合比较每个模式下的结果, 选择代价最小的结果作为最终布线规划的结果。使用多个工业用例进行测试, 实验结果表明, 与已有柔性电路板布线规划算法相比, 本文布线规划算法可以提升详细布线效率和布线结果。

关键词: 柔性电路板; 模式布线; 布线模式; 电子设计自动化; PCB

中图分类号: TN41

文献标识码: A

A bus planning algorithm based on pattern routing for FPC

WU Haoying¹, XU Jingxue¹, XU Ning¹, ZOU Sizhan¹, HU Jianguo^{2,*}

(1. School of Information Engineering, Wuhan University of Technology, Wuhan 430070, China;

2. Shenzhen Research Institute, Sun Yat-Sen University, Guangzhou 528406, China)

Abstract: To solve the problems of poor route ability in flexible printed circuit board, a bus planning algorithm based on pattern routing is proposed, which approximates detailed routing and reduces the precision error between detail routing and bus planning. At the same time, four routing patterns and several fan-out strategies are designed according to manual experience to simulate the possible situation of resource allocation in pin area and arrangement combination of pin areas. Besides, a layer assignment algorithm is designed to comprehensively evaluate the current routing results and the future impact on other nets. According to the restriction that vias are not allowed in the channel, the non-intersecting sequence of the routing topology of the nets in the channel is obtained according to the position sequence of pin areas connected with the channel, which is used as the constraint of the arrangement sequence of the points on the boundary line. Finally, the results in each pattern are comprehensively compared, and the least expensive result is selected as the final bus planning result. Experimental results on industrial cases show that the proposed algorithm realize better performance compared with the existing flexible printed circuit board bus planning algorithm.

Keywords: flexible printed circuit; pattern routing; routing modes; electronic design automation; PCB

0 引言

柔性电路板(Flexible Printed Circuit, FPC)是印刷电路板(Printed Circuit Board, PCB)的一类, 随着电子产品

日益小型化、多样化, FPC 使用场景越来越广泛, 自身复杂程度也逐渐递增。然而不同于 PCB 布线场景, FPC 具有更加严格的布线约束及不规则的布线空间场景^[1-3], 器件集中于扇出区, 导致整板布线资源不均匀, 同时扇出区

基金项目: 深圳基金重点项目“基 20220019 软件自动化设计和生成算法研究”(JCYJ20220818102002005); 科技创新 2030—“新一代人工智能”重大项目(2021ZD0114600)。

吴皓莹(副教授, 硕士生导师), 主要研究方向为光纤传感技术、机器人触觉感知及模式识别、人机交互、电子设计自动化; 徐静雪(硕士研究生), 主要研究方向为电子设计自动化; 徐宁(教授, 博士生导师), 主要研究方向为电子设计自动化、先进封装 EDA、图像处理、人工智能; 邹思湛(硕士研究生), 主要研究方向为电子设计自动化; 胡建国(研究员, 博士生导师), 主要研究方向为高端集成电路设计、电子设计自动化、物联网、人工智能。

* 通信作者。E-mail: huijguo@mail.sysu.edu.cn。

内器件排布零散不规则,扇出区间连接关系复杂,直接使用自动布线算法不仅使资源利用率降低,而且导致扇出区部分瓶颈区域拥塞,增加了自动布线算法的耗时,因此,布线规划成为 FPC 自动化设计的重要一环。

传统的 PCB 布线规划目的是完成线网的初始层分配。参考文献[4]提出了一种时间复杂度为 $O(n^{2.38})$ 的优化算法,将总线逃逸问题转换为二分匹配中的最大匹配问题进行层数最小化的求解。参考文献[5]提出 Hanna 动态布线网格构建布线图,根据总线布线结果得到外部总线间的冲突关系,最终通过冒泡排序的分层算法得到具体的总线层分配。此外,一部分参考文献^[6-8]尝试从器件位置的拓扑角度来解决层分配问题,还有一部分参考文献^[9-11]不仅关注器件之间总线的冲突关系,更从全局视角既考虑器件内部总线的冲突又考虑器件外部总线的冲突。但 FPC 主要起连接作用,以双列直插式或者其他样式的中小型器件为主,没有 PCB 主板上那些大型的芯片,而 PCB 布线规划往往仅考虑 BGA 封装芯片等大型芯片的资源分配,忽略了其他小型器件带来的影响,使得 PCB 布线规划算法不能直接照搬到 FPC 场景中。

现有 FPC 布线规划算法^[3]针对 FPC 提出了一种处理复杂区域连接问题的布线规划算法。在引脚位置信息的基础上,对布线空间进行划分,将其表示为无向图,并使用 DPS 获得不同区域之间的拓扑不交叉关系。最终使用一种启发式算法在确保扇出区可布线性以及通道区拓扑不交叉的同时搜索区域边界分割线上的最佳过点位置。然而,其仅通过线网端点与分割线上过点的直连线作为扇出区线网的拓扑布线用以评估扇出区可布线性,并未考虑实际布线场景中器件和已布线网等对扇出区布线资源的影响。

本文提出基于模式布线的 FPC 布线规划算法,通过模式布线快速模拟实际详细布线分配扇出区资源,避免扇出区局部资源紧张。根据人工布线经验抽象出若干布线模式来决定当前扇出区线网布线顺序,利用 DPS 确定扇出区与扇出区之间连接线网的拓扑不交叉序列,保证通道区布线资源合理分配。根据当前线网模式布线结果以及对其他线网的影响程度,设计了分层代价函数动态决定线网的层分配。最后,综合比较各模式下整体模式布线评价指标确定最优的结果指引后续的详细布线。通过实验对比,本文的布线规划可以提升详细布线的性能和布线结果。

1 问题描述

一个工业上实际的 FPC 板如图 1 所示。为了更好地进行规划,将其用分割线切分成了若干扇出区 (Pin Area, PA) 和通道区 (Channel)。

个立体的简化版通道区示意图如图 2 所示。过点 (Cross Point, CP) 是分割线上的点,衔接扇出区的布线结果与通道区的布线结果。因此,整板的布线结果可以分解成扇出区布线和通道区布线,这样自动化布线流程就变成了起点—过点 1—过点 2—终点。其中,起点与终点分别连接到过点,属于扇出区布线,受到扇出区布线的约束;过点之间连接属于通道区域布线,受到通道区域布线的约束。过点位置的选择直接影响全局详细布线结果,因此有必要优化过点位置的选择。综上,可以将 FPC 布线规划问题描述为:

输入: FPC 边链信息 O , 引脚坐标信息 P , 器件信息 D , 分割线 L , 二端线网集合 $N: \{n_1, n_2, \dots, n_i\} \in N$, 其中 n_i 表示一根二端线网。

约束: 线网之间最小间距约束, 通道区不允许打孔约束。

输出: 分割线上线网过点的所在层信息及具体坐标信息。

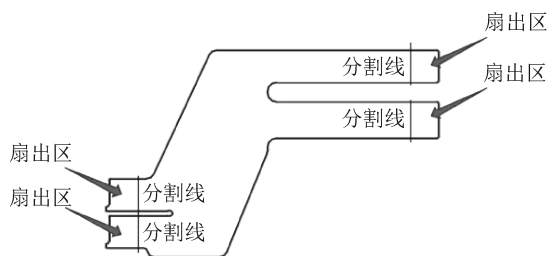


图 1 一个实际工业 FPC 样例的分区
Fig. 1 Partition of an actual industrial FPC

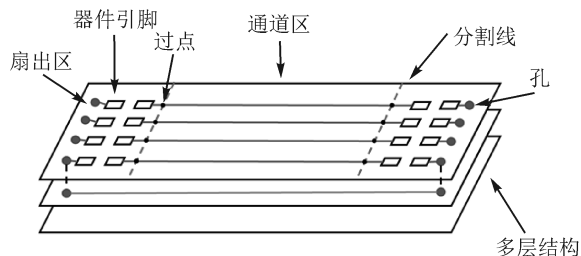


图 2 简化版通道区立体图
Fig. 2 Simplified stereograph view of the channel

2 算法流程

图 3 为本文所提出的算法流程。首先,对输入的各种必要数据进行预处理,获得每个扇出区的布线模式、布线顺序与布线方向;接着,在当前扇出模式下根据当前布线模式依次对单根线网进行模式布线,布线时根据单根线网在每一层的布线参数和对其他线网的影响综合评价进行层分配,在一轮布线模式的迭代结束后对相应分割线上的过点位置进行线长优化。遍历所有设计模式得到代价最优的模式布线结果和过点位置。最后,由于网格粒度较大可能会造成少数线网模式布线失败,需要对布线失败的线

网进行后处理,将最终布线失败线网按照当前最优模式的布线顺序在保证拓扑不交叉顺序的前提下插入分割线过点集合,最终得到分割线上相应的过点坐标和过点对应关系。

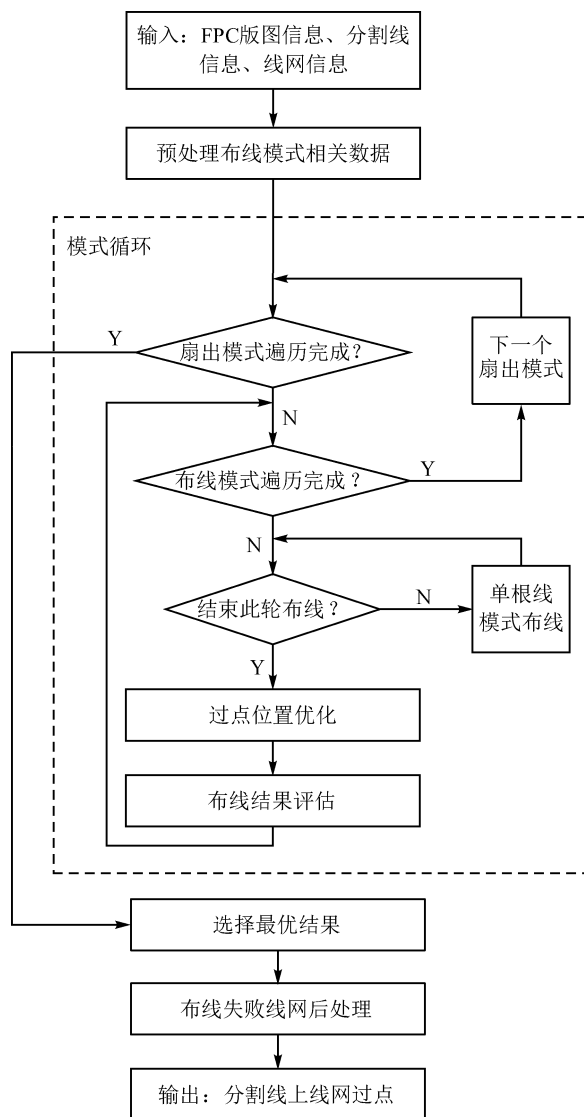


图3 本文提出的算法流程

Fig. 3 The overall flow of our method

2.1 布线模式

模式布线又叫规整模式布线,参考 IC 布线的研究内容^[12],因线网的布线路径都是一些规整的几何图形而得名模式布线,常见的布线模式有 L 型布线和 Z 字型布线。参考文献[13]将模式布线分为单调模式和非单调模式,单调模式可以很大程度缩短线长,节约资源和空间。FPC 扇出区场景障碍多、层数少,布线资源紧张且不均匀,需要布线算法具有一定的绕障能力,从而充分利用资源,使用 L 型或 Z 字型进行单根线网模式布线可能在某些情况下造成资源浪费进而影响后续布线。因此,本文单根线网模

式布线基于 $A \times$ 布线框架,限制其搜索方向为四向以实现多 Z 字型布线。同时,为了实现单调布线,在四向 $A \times$ 的基础上禁止搜索与终点相反的方向,以达到单调布线的目的。此外,为了防止 Z 字型过多,设计了转弯代价作为成本,从而优先选择转弯更少的布线结果。

布线模式可看作约束模式布线的整体布线策略,参考文献[13]设计了 6 种布线模式,通过限定诸如布线方向、是否绕线等参数缩小传统自动布线算法巨大的网格搜索量,在最终得到一个合理且可能较优结果的同时达到节约时间成本的目的。

2.1.1 两扇出区间的布线模式

实际布线中的线网为两端线网,线网所在的两个扇出区都要执行同样的操作,如果仅以一侧的扇出区的布线顺序以及过点顺序作为整体的布线结果,可能会导致另一个扇出的布线结果很差。因此,较好的方法应是同时考虑两个扇出区的模式布线情况进行综合评价。给定 K 个线网 $\{1, 2, \dots, K\}$, 这 K 个线网的起始引脚和终点引脚均分别位于扇出区 PA_1 和扇出区 PA_2 中,假设,示例左侧扇出区为 PA_1 , 扇出方向向右,右侧扇出区为 PA_2 , 扇出方向向左,其他方向同样可以由时钟关系来转换。 PA_1 与 PA_2 分属不同的坐标系,左下角均为原点 $(0, 0)$, 右上角分别为 $(M_1 - 1, N_1 - 1)$ 和 $(M_2 - 1, N_2 - 1)$ 。图 4 为有 8 根线网连接的两个扇出区单层网格化后的样例,其中,白色的格点为模式布线可以经过的网格格点,黑色的格点为引脚在此层的起点,蓝色网格格点为被障碍占据的节点,不可被选择,红色的直线为分割线,红色的格点为候选过点。如图 5 所示,本文设计了 4 种布线模式。

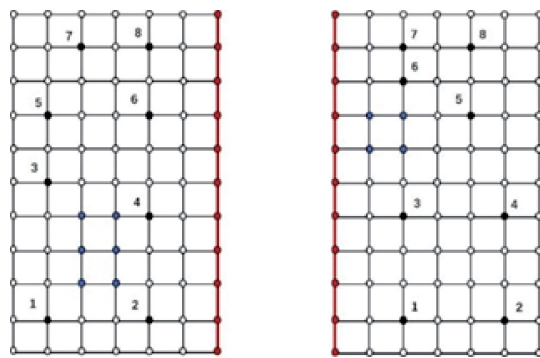


图4 8根线网连接的两个扇出区

Fig. 4 Example of two pin areas connected by 8 nets

① Left - Down 模式(见图 5(a))。此模式以左侧扇出区为参照扇出区,将左侧扇出区引脚布线顺序作为右侧扇出区的布线顺序,按照左侧扇出区对引脚在垂直方向从下向上扫描,同时水平方向每行从左向右扫描,那么图 4 中示例的布线顺序为 $\{1, 2, 4, 3, 5, 6, 7, 8\}$ 。

② Left - Up 模式(见图 5(b))。此模式以左侧扇出

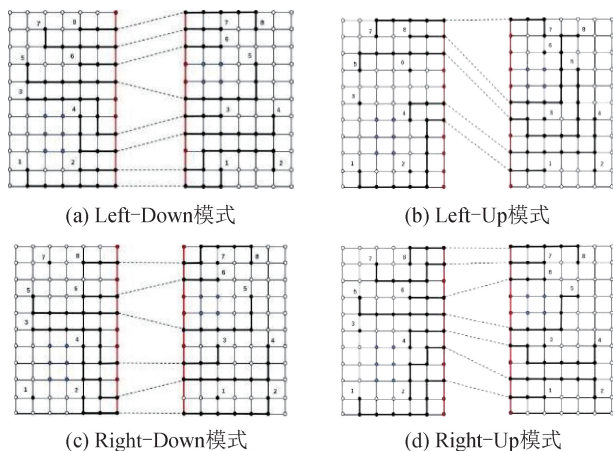


图5 两扇出区间的布线模式

Fig. 5 Routing patterns of two interconnected pin areas

区的引脚布线顺序作为右侧扇出区的布线顺序,按照左侧扇出区垂直方向从上向下扫描,同时水平方向每行从左向右扫描,那么图4中示例的布线顺序为 $\{7,8,5,6,3,4,1,2\}$ 。

③ Right - Down 模式(见图5(c))。此模式以右侧扇出区的引脚布线顺序作为左侧扇出区的布线顺序,按照右侧扇出区垂直方向从下向上扫描,同时水平方向每行从右向左扫描,那么图4中示例的布线顺序为 $\{2,1,4,3,5,6,8,7\}$ 。

④ Right - Up 模式(见图5(d))。此模式以右侧扇出区的引脚布线顺序作为左侧扇出区的布线顺序,按照右侧扇出区垂直方向从上向下扫描,同时水平方向每行从右向左扫描,那么图4中示例的布线顺序为 $\{8,7,6,5,4,3,2,1\}$ 。

由于在布线环节中设计了4种布线顺序模式,因此需要将全部线网布线4次,选择代价最小的一次。用 $\{n_1, n_2, \dots, n_k\}$ 表示需要布线的线网, $1 \leq n_i \leq n_j \leq K$ 为其中两个线网,在 Left - Down 模式与 Right - Down 模式中,右侧扇出区与左侧扇出区均遵守从最下方的候选过点开始,线网按布线顺序依次选择可选过点中纵坐标最小的作为终点进行模式布线,即保证 n_j 的候选过点的纵坐标一定在 n_i 的上面,若两个扇出的线网引脚均成功扇出,则表示布线成功,反之布线失败。Left - Up 模式与 Right - Up 模式同理,线网按布线顺序依次选择可选过点中纵坐标最大的作为终点进行模式布线。图5为图4样例4种布线模式下的布线结果。其中 Left - Down 模式全部布通,而 Left - Up 模式只布通了5根线网,Right - Down 模式布通了6根线网,Right - Up 模式布通了7根线网。综上所述,应选择 Left - Down 模式的布线结果。

2.1.2 基于代价选择的模式布线层分配

实际中布线往往有多层,若仅使用单层会导致布线资源严重不足且忽略了扇出区允许打孔的特征。考虑不同层的布线路径有不同的布线参数以及对其他线网的影响,

设计了一套代价体系,用以评价每根线网在具体层上的布线结果,最后选择所有层中最优的结果作为此线网的层分配结果。代价函数如下:

$$C_{layer} = \alpha * n_{length} + \beta * n_{via} + \gamma * n_{trap} \quad (1)$$

式中, n_{length} 为单根线网的路径长度。 n_{via} 为单根线网的打孔数量,判定方法是布线的路径是否与引脚的初始层相同,如果不同那么就需要打一个通孔,单个扇出区内单个线网最多只会有一个孔。 n_{trap} 为阻挡代价,表示单根线网布线时挡住的未布线线网的个数,由于布线顺序事先已经确定,若候选过点位置不合适,则会导致布线顺序之后的若干线网在此层布线时被挡住,无法布通。图6所示为图5的 Left - Up 模式的右侧扇出区,布线顺序为 $\{7,8,5,6,3,4,1,2\}$,6号线网的布线顺序位于8号线网的后面,因此6号线网的候选过点位置必须位于8号线网的下面。3号线网与5号线网同理,因此8号线网挡住了6号线网,5号线网挡住了3号线网。本文实验所用参数为: $\alpha=1, \beta=100, \gamma=200$ 。

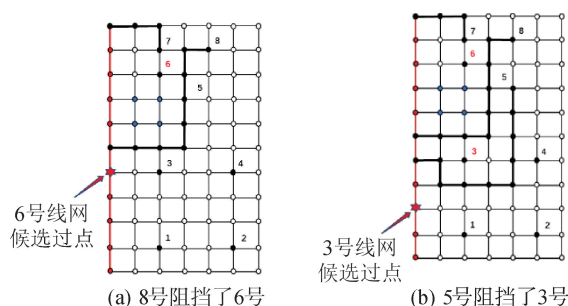


图6 Left - Up 模式下存在线网阻挡的右侧扇出区

Fig. 6 Right pin area with blocking in Left - Up pattern

2.2 扇出模式

扇出模式在本文中是协调多扇出区之间扇出区被选择顺序的模式集合。由于布线规划以协同考虑两个扇出区为基础,需要一个策略集合来保证在完成所有扇出区布线的同时尽量搜索更多的布线结果,且 FPC 通道区需要线网布线时拓扑不交叉来保证理论上最优布线结果不会产生打孔,因此,需要扇出模式约束过点在分割线上的位置顺序,同时尽可能模拟更多的布线结果。

2.2.1 通道区拓扑不交叉约束

为了保证分层后在通道区域内布线时不能产生打孔,需要保证两侧扇出区在每层上过点顺序的对应,这样保证在通道区可以不通过向后绕线就具有拓扑上的不交叉的布线路径。参考文献[3]借助参考文献[6]对 DPS 序列进行同项相消的思想判断是否存在拓扑不交叉结构,从而缩小问题规模。保证通道区拓扑不交叉本质其实就是将参照扇出区过点的顺序按照环形展开后时钟方向逆序,即右侧扇出区展开后时钟顺序是从上往下,那么左侧扇出区过

点顺序应该从下往上,通过此定理可以推出使得通道区没有拓扑交叉的对侧扇出区分割线上过点顺序,帮助对侧扇出区选择模式布线环节的过点位置。在实际 FPC 中,时钟关系需要顺着边链展开获得,即在通道边链上选择一个起点,在通道边链上按顺时针或逆时针顺序绕行一周,依次经过的扇出区的顺序就是上述展开后的环形时钟顺序。

通常情况下,一个通道区可能连接多个扇出区,FPC 扇出区和扇出区之间的连接关系类似于 PCB 中总线的概念,总线实质是指一捆在布线时需要相互相邻的线网,由于 FPC 通道区需要线网有序布线,不能打孔,因此,由一个扇出区连接到另一个扇出区的所有线网必须在空间上相邻,中间不能穿插其他区域的线网,同时区域之间仍然要满足上述时钟关系才可以保证区域之间布线不交叉。

图 7 所示为连接多个扇出区的通道内总线拓扑不交叉示意图,假定 U 为 FPC 中的总线,扇出区环形展开后唯一顺时针顺序为 $\{PA_1, PA_2, PA_5, PA_3, PA_4\}$,以 PA_1 为参照扇出区,剩下与 PA_1 有连接关系的扇出区的顺时针顺序为 $\{PA_2, PA_5, PA_3, PA_4\}$,根据连接关系转换为总线顺时针顺序为 $\{U_4, U_3, U_2, U_1\}$,由于总线内不会有其他总线的线网,因此该顺序可以进一步转换为 1 号扇出区分割线上的布线空间位置顺序,即属于总线 U_4 的线网过点必须全部处于总线 U_3 的右侧,在每一层上都需要满足此要求,其他扇出区同理。最后可以得到图 7 中每个扇出区分割线上的布线空间顺序,此顺序是保证通道区不打孔的强约束,扇出区 PA_1 的 Down 模式(顺时针方向)为从左向右扫描,分割线上布线空间位置顺序为 $\{U_1, U_2, U_3, U_4\}$,Up 模式(逆时针方向)为从右向左扫描,分割线上布线空间位置顺序为 $\{U_4, U_3, U_2, U_1\}$,其他扇出区同理。对于总线 U_3 ,当将 PA_1 作为参照扇出区时,其布线模式可以类比为 2.1.1 小节中的 Left-Down 模式或者 Left-Up 模式,具体看当前选择什么时钟方向,当将 PA_5 作为参照扇出区时,其布线模式可以类比为 Right-Down 或者

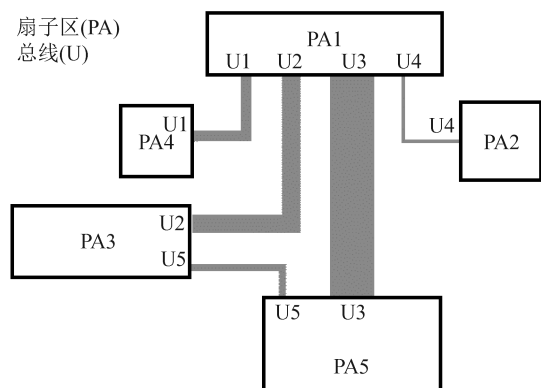


图 7 连接多个扇出区的通道内总线拓扑不交叉示意图

Fig. 7 Example of bus connections in a channel connecting multiple pin areas without topological crossing

Right-Up 模式。布线模式中的顺序在此步骤中会根据总线布线顺序再次进行整体排序,总线内部顺序依旧按照布线模式顺序,总线间顺序按照当前扇出区布线空间顺序和当前时钟方向模式重新排序,例如现有布线顺序为 $\{1, 2, 3, 4, 5, 6, 7\}$,其中 $\{3, 1\} \in U_1, \{4, 2, 5, 6, 7\} \in U_2$,在此扇出区上布线空间顺序为 $\{U_1, U_2\}$,总线内顺序按照原始布线顺序不变,总线间顺序重新排列,最后布线顺序为 $\{1, 3, 2, 4, 5, 6, 7\}$ 。

2.2.2 扇出区选择顺序

在布线模式设计中,左右扇出区的选择不同,模式布线结果也不同,这是因为扇出区的布线资源不一样,仅以一个扇出区的布线顺序和过点顺序作为标准可能导致较差的结果,此外同一扇出区内可能也有多个总线,虽然分割线上的总线顺序是唯一的,但是线网布线顺序不唯一。假设当前通道内有 n 个扇出区,如果充分考虑所有扇出区的排列组合选择,此选择所构成的集合是一个全排列组合 $f(n) = n!$ 。但是,当 n 较大时排列组合数过大且由于分割线上布线空间位置顺序的限制会有很多重复组合,因此,化简为分别以每个扇出区为切点,在切点处分别顺时针和逆时针展开环形序列作为一个排列,所有扇出区和时钟方向的排列集合作为最后的扇出区顺序选择排列组合集合,那么最后的排列组合个数为 $f(n) = 2 * n$ 。化简后的排列组合集合仅丢失了少数总线布线顺序的情况,包含全部参照扇出区的选择情况,以图 7 的通道中总线 U_2 为例,依旧保留了 2.1.1 小节中的 4 种布线模式:

① 以 PA_1 作为参照扇出区,时钟方向为顺时针方向(Left-Down)。此时需要扇出区选择顺序为 $\{PA_1, PA_2, PA_5, PA_3, PA_4\}$,以 PA_1 作为参照扇出区,总线 U_1 同时处于 PA_1 和 PA_4 的布线空间位置顺序最前列,因此可以布线,总线 U_2 同理。

② 以 PA_1 作为参照扇出区,时钟方向为逆时针方向(Left-Up)。此时需要扇出区选择顺序为 $\{PA_5, PA_2, PA_1, PA_4, PA_3\}$,先以 PA_5 为参照扇出区,布线总线 U_5 ,总线 U_3 由于在 PA_1 中不处于最侧边而不能布线,不能布线的线网一定会在后续的参照扇出区的选择中进行布线。接着,参照扇出区为 PA_2 ,总线 U_4 同样因此时在 PA_1 中需要靠最左侧而不能布线,最后参照扇出区选择 PA_1 ,此时是逆时针方向模式,总线布线顺序为 $\{U_4, U_3, U_2, U_1\}$,首先总线 U_4 布线,接着总线 U_3 布线,随后总线 U_2 布线。

③ 以 PA_3 作为参照扇出区,时钟方向为逆时针方向(Right-Down)。此时需要扇出区选择顺序为 $\{PA_4, PA_3, PA_5, PA_2, PA_1\}$,先以 PA_4 为参照扇出区布线总线 U_1 ,接着以 PA_3 为参照扇出区,此时总线 U_2 在 PA_1 中因为 U_1 已经成功布线而处于布线空间位置顺序最前列,可

以进行布线。

④ 以 PA_3 为参照扇出区,时钟方向为顺时针方向 (Right-Up),此时扇出区顺序为 $\{PA_2, PA_5, PA_3, PA_4, PA_1\}$ 即可。

2.3 过点位置优化

当所有扇出区布线完成后,由于采用了多 Z 字型模式进行单根线网的走线且在候选过点位置选择紧贴排列,因此造成了很多非必要的绕线,有必要进行一步后处理来优化线长。在当前扇出区整轮布线结束后,本文通过反向遍历布线顺序的各个线网及该线网可用候选点集合,以线长小为目标对线网重新布线。优化前后效果如图 8 所示。

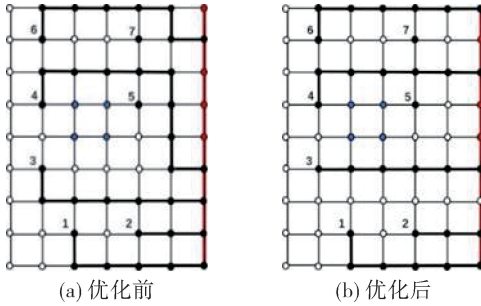


图 8 过点位置优化效果对比图

Fig. 8 Comparison of optimization effects for changing position of cross points

3 实验结果与分析

本文算法采用 C++ 编写,实验在主频 2.69 GHz 和 16 GB 内存的 Windows 系统上运行,所有用例都来自实际工业界。

布线规划不仅需要提升详细布线的效果,其自身的性能消耗也是需要控制的,本文所提基于模式布线的布线规划结果如表 1 所列,扇出区模式布线网格大小为 12。从表 1 中可以看出,布线规划的时间开销处于较低水平,且布通率可以达到 100%,符合设计预期。由于布线规划没有考虑详细布线约束,因此需要在布线规划的基础上进行详细布线对比实验。本文的对比对象为基于启发式搜索的 FPC 布线规划算法^[3],两者均通过布线规划计算线网在扇出区分割线上的过点以实现扇出区通道区分段走线。由于两者均保证了通道区可布线性,因此本文实验仅对比扇出区详细布线结果。在得到分割线过点后,使用基于拥塞代价的布线器 PathFinder^[14]进行详细布线,对比结果如表 2 所列。其中,时间为布线规划时间与详细布线之和,实验结果表明,与参考文献[3]相比,使用本文算法进行布线规划时布线的总体时间平均缩短了 63.1%,打孔数量平均降低了 13.7%,拥塞度平均降低了 4.4%。

表 1 基于模式布线的布线规划结果

Table 1 Bus planning results based on pattern routing

测试用例	布通率	打孔个数	时间/s
用例 1	100%	72	1.448
用例 2	100%	14	0.682
用例 3	100%	54	0.328
用例 4	100%	5	0.270
用例 5	100%	15	0.693
用例 6	100%	8	0.099
用例 7	100%	34	0.421

表 2 部分测试用例结果对比

Table 2 Comparison of results of some test cases

测试用例	拥塞程度		打孔个数		运行时间/s	
	参考文献[3]	本文方法	参考文献[3]	本文方法	参考文献[3]	本文方法
用例 1	173	68	94	72	296	196
用例 2	7	12	15	14	87	13
用例 3	1833	1625	48	54	241	128
用例 4	8	23	17	13	49	2
用例 5	162	72	33	29	146	61
用例 6	17	4	12	10	24	2
用例 7	877	126	101	78	806	562

4 结 语

本文提出了一种基于模式布线的 FPC 布线规划算法,通过设计布线模式与扇出模式模拟真实扇出区布线时可能会出现布线场景,利用 DPS 求得通道区所连接扇出区的拓扑不交叉布线空间顺序,将此顺序作为分割线上点的位置排列约束,最后通过模式布线在较低的时间代价下尽可能得到接近实际布线的结果,真实评估当前布线效果。综合比较所有结果选择最优质的结果指引后续的详细布线。与现有 FPC 布线规划算法相比,本文的布线规划对详细布线的性能和布线结果有更好的提升。

参考文献

- [1] MA B Y, XU N, WU H Y, et al. Routing Algorithm for FPC Channel Area[J]. Journal of Computer - Aided Design & Computer Graphics, 2022, 34(8): 1179 - 1185.
- [2] WANG B, WU H, LIU M. Resource allocation applied to flexible printed circuit routing based on constrained Delaunay triangulation[J]. Integration: The VLSI journal, 2022.
- [3] WU H Y, ZOU S Z, XU N, et al. A Bus Planning Algorithm for FPC Design in Complex Scenarios[J]. Chinese Journal of Electronics, 2023(33): 1 - 7.
- [4] YAN T, KONG H, WONG M D. Optimal layer assignment for escape routing of buses[C]//Proceedings of the Proceedings of the 2009 International Conference on Computer - Aided Design, 2009: 245 - 248.

- [5] KONG H, YAN T, WONG M D. Automatic bus planner for dense PCBs[C]//Proceedings of the 2009 46th ACM/IEEE Design Automation Conference, 2009:326 – 331.
- [6] CHIN C Y, KUAN C Y, TSAI T Y, et al. Escaped boundary pins routing for high – speed boards[J]. IEEE Transactions on Computer – Aided Design of Integrated Circuits Systems, 2013, 32(3):381 – 391.
- [7] YAN J T. Efficient Layer Assignment of Bus – Oriented Nets in High – Speed PCB Designs [J]. IEEE Transactions on Computer – Aided Design of Integrated Circuits and Systems, 2016, 35(8):1332 – 1344.
- [8] WEN H T, CAI Y J, HSU Y, et al. Via – based Redistribution Layer Routing for InFO Packages with Irregular Pad Structures[C]//2020 57th ACM/IEEE Design Automation Conference (DAC). ACM, 2020. DOI: 10. 1109/DAC18072. 2020. 9218619.
- [9] MA Q, YOUNG E F, WONG M D. An optimal algorithm for layer assignment of bus escape routing on PCBs[C]//Proceedings of the 2011 48th ACM/EDAC/IEEE Design Automation Conference(DAC), 2011:176 – 181.
- [10] WU P C, MA Q, WONG M D. An ILP – based automatic bus planner for dense PCBs[C]//Proceedings of the 2013 18th Asia and South Pacific Design Automation Conference (ASP – DAC). IEEE, 2013:181 – 186.
- [11] YAN J T. Bus Assignment Considering Flexible Escape Routing for Layer Minimization in PCB Designs[J]. IEEE Transactions on Computer – Aided Design of Integrated Circuits Systems, 2021.
- [12] ZHANG Y, CHU C. RegularRoute: An efficient detailed router applying regular routing patterns[J]. IEEE transactions on very large scale integration systems, 2012, 21(9): 1655 – 1668.
- [13] LUO L, YAN T, MA Q, et al. B – Escape: A simultaneous escape routing algorithm based on boundary routing[C]//Proceedings of the Proceedings of the 19th international symposium on Physical design, 2010:19 – 25.
- [14] MCMURCHIE L, EBELING C. PathFinder: A negotiation – based performance – driven router for FPGAs[C]//Proceedings of the Proceedings of the 1995 ACM third international symposium on Field – programmable gate arrays, 1995:111 – 117.

(责任编辑:薛士然 收稿日期:2023-09-14)